

Änderung der Pinbelegung der phyFLEX-i.MX 6 (PFL-A-XL1)

Die Informationen in diesem Dokument sind relevant und müssen beachtet werden, wenn Sie eine Basisplatine für zukünftige phyFLEX-Module (ab PCB-Nummer 1362.1) entwickeln möchten.

Sehr geehrter Kit-Kunde,
wir bedanken uns für Ihr Interesse an unserer phyFLEX-i.MX 6, zu deren Evaluierung Sie das vorliegende Kit erhalten haben. Dieses Kit hat noch die Pinbelegung gemäß PCB-No 1362.0a (s.u.).

Die phyFLEX-i.MX 6 befindet sich derzeit in einer Überarbeitung, um die aktuellste Generation eines Power-Management IC (PMIC) in das Design zu integrieren, welcher zum Zeitpunkt des ersten Design noch nicht verfügbar war. Dieses Redesign bringt deutliche Vorteile bezüglich des Heat-Managements, da der externe PMIC weniger Verlustleistung erzeugt als die i.MX 6 interne Lösung.

Im Rahmen dieses Redesigns wird sich leider die Pinbelegung der phyFLEX-i.MX 6 ändern. Wir haben Ihnen bereits den Schaltplan der überarbeiteten phyFLEX-i.MX 6 beigelegt. Sie erkennen den neuen Schaltplan am Eintrag „PCB-No.: 1362.1“ im Beschriftungsfeld in der rechten unteren Ecke. Der bisherige Schaltplan, dem auch das vorliegende phyFLEX-i.MX6 entspricht, trägt den Eintrag „PCB-No.: 1362.0a“.

Bitte nutzen Sie ausschließlich die neue Pinbelegung der PCB-Nummer 1362.1 für das Design eigener Basisplatinen.

In der folgenden Tabelle erhalten Sie eine Übersicht über die sich ändernde Pinbeleg des phyFLEX-i.MX 6 Moduls. Bitte beachten Sie die Zuordnung zu den verschiedenen phyFLEX Steckern. Dabei ist X1 der phyFLEX-fix Stecker, X2 der phyFLEX-optional Stecker und X3 phyFLEX-flex Stecker.

Liste der sich ändernden Pins:

| Pin# | Bisherige Funktion bei 1362.0a | Neue Funktion bei 1362.1 |
|-------|--|------------------------------------|
| X1A24 | X_SPI0_CS1 | X_SPI0_CSBOOT |
| X1A25 | X_SPI0_CS2 | X_SPI0_CS0 |
| X1A26 | X_SPI0_CS3 | X_SPI0_CS1 |
| X1A53 | X_I2S0_TX_CLK | X_I2S0_DAC |
| X1A54 | X_I2S0_TX_FRM | X_GPIO0 |
| X1A55 | X_I2S0_DAC0 | X_GPIO1 |
| X1A56 | X_I2S0_DAC1 | X_GPIO2 |
| X1A59 | X_GPIO0 | X_GPIO3 |
| X1A60 | X_GPIO1 | X_GPIO4 |
| X1A61 | X_GPIO2 | X_GPIO5 |
| X1A62 | X_GPIO3 | X_GPIO6 |
| X1A63 | X_GPIO4 | X_GPIO7 |
| X1A65 | X_GPIO5 | X_GPIO8 |
| X1A66 | X_GPIO6 | X_GPIO9 |
| X1A67 | X_GPIO7 | X_GPIO10 |
| X2A46 | N.C. | X_CAMERA1_L0+ |
| X2A47 | N.C. | X_CAMERA1_L0- |
| X2A49 | N.C. | X_CAMERA1_CLK |
| X2A50 | N.C. | VDD_3V3_LOGIC |
| X3B12 | X_SD1_DAT3 | X_CSI0_DAT4 |
| X3B18 | X_ENET_TXD1/MLBCLK | X_CSI0_DAT5 |
| X3B24 | X_ENET_RXD1_MLBSIG | X_CSI0_DAT9 |
| X3B28 | X_EIM_EB3 | X_CSI0_DAT8 |
| X3B40 | X_ENET_CRS_DV/SPDIF_EXTCLK | X_CSI0_DAT7 |
| X3B41 | X_GPIO_8/SPDIF_SRCLK | X_CSI0_DAT6 |
| X3B44 | X_AUD6_TXFS | PMIC_VBBAT |
| X3B46 | X_AUD6_TXC | VDD_MX6_SNVS |
| X3B49 | X_SPI3_CS0 | X_DISP0_DAT6 |

Für weitere Fragen steht Ihnen unser Support-Team unter +49 (6131) 9221-31, oder support@phytec.de zur Verfügung.

Wir entschuldigen uns für die Unannehmlichkeiten und verbleiben mit freundlichen Grüßen,
Ihre PHYTEC Messtechnik GmbH

Modification of the pinout for the phyFLEX-i.MX 6 (PFL-A-XL1)

The information in this document is relevant for development of carrier boards for future phyFLEX-i.MX 6 modules (from PCB# 1362.1 on).

Dear valued Kit-customer,

We appreciate your interest in evaluating our phyFLEX-i.MX 6. For this purpose, you do receive the kit in this delivery. The kit is still based on pin-assignment PCB-No 1362.0a (see below).

The phyFLEX-i.MX 6 is currently in redesign-stage to support the latest generation of the Power Management Circuitry (PMIC) which has not been available for our first design. The redesign in progress will allow significant improvements concerning heat management due to substantial decrease of thermal dissipation loss of the new external PMIC compared to the internal i.MX 6 power management solution.

Unfortunately we are forced to change the pin-assignment of the module as part the current redesign process. We have already attached the circuit diagrams of the redesigned module. The new circuit diagram is labelled “PCB-No.: 1362.1” on the bottom right side; the current version which matches the design of the module you received is labelled “PCB-No.: 1362.0”

Do only use the new pin-assignment according to “PCB-No.: 1362.1” for your baseboard designs.

The following table provides an overview of the changes in the phyFLEX-i.MX 6's pinout. Please attend the assignment to the different phyFLEX connectors. X1 refers to the phyFLEX-fix connector, X2 to the phyFLEX-optional connector, and X3 to phyFLEX -flex connector.

List of the pin-assignment-changes:

| Pin# | Previous Function revision 1362.0a | Future Function from revision 1362.1 on |
|-------|--|---|
| X1A24 | X_SPI0_CS1 | X_SPI0_CSBOOT |
| X1A25 | X_SPI0_CS2 | X_SPI0_CS0 |
| X1A26 | X_SPI0_CS3 | X_SPI0_CS1 |
| X1A53 | X_I2S0_TX_CLK | X_I2S0_DAC |
| X1A54 | X_I2S0_TX_FRM | X_GPIO0 |
| X1A55 | X_I2S0_DAC0 | X_GPIO1 |
| X1A56 | X_I2S0_DAC1 | X_GPIO2 |
| X1A59 | X_GPIO0 | X_GPIO3 |
| X1A60 | X_GPIO1 | X_GPIO4 |
| X1A61 | X_GPIO2 | X_GPIO5 |
| X1A62 | X_GPIO3 | X_GPIO6 |
| X1A63 | X_GPIO4 | X_GPIO7 |
| X1A65 | X_GPIO5 | X_GPIO8 |
| X1A66 | X_GPIO6 | X_GPIO9 |
| X1A67 | X_GPIO7 | X_GPIO10 |
| X2A46 | N.C. | X_CAMERA1_L0+ |
| X2A47 | N.C. | X_CAMERA1_L0- |
| X2A49 | N.C. | X_CAMERA1_CLK |
| X2A50 | N.C. | VDD_3V3_LOGIC |
| X3B12 | X_SD1_DAT3 | X_CSI0_DAT4 |
| X3B18 | X_ENET_TXD1/MLBCLK | X_CSI0_DAT5 |
| X3B24 | X_ENET_RXD1_MLBSIG | X_CSI0_DAT9 |
| X3B28 | X_EIM_EB3 | X_CSI0_DAT8 |
| X3B40 | X_ENET_CRS_DV/SPDIF_EXTCLK | X_CSI0_DAT7 |
| X3B41 | X_GPIO_8/SPDIF_SRCLK | X_CSI0_DAT6 |
| X3B44 | X_AUD6_TXFS | PMIC_VBBAT |
| X3B46 | X_AUD6_TXC | VDD_MX6_SNVS |
| X3B49 | X_SPI3_CS0 | X_DISP0_DAT6 |

Please contact our support team (+49 (6131) 9221-31, or support@phytec.de) if you need any further information.

We apologize for any inconveniences.
Best regards, your PHYTEC-Team